

**EtherCAT®** 

**EL9800 Basisplatine**

**Version: 3.05**  
**Datum: 10.08.2011**

**BECKHOFF**



# Inhaltsverzeichnis

<b>1</b>	<b>Legal Notice</b>	<b>5</b>
1.1	Marken	5
1.2	Patente	5
1.3	Disclaimer	5
1.4	Copyright	5
1.5	Sicherheitshinweise	6
1.5.1	Auslieferungszustand	6
1.5.2	Erklärung der Sicherheitssymbole	6
1.6	Ausgabestände der Dokumentation	6
<b>2</b>	<b>Produktübersicht</b>	<b>7</b>
2.1	Spannungsversorgung	8
2.2	Prozessdatenschnittstelle für EtherCAT-Briefmarken	9
2.2.1	Prozessdatenschnittstellenabhängige Belegung der Pfostenstecker J202 und TP202	10
2.3	PDI-Auswahl	11
2.4	8/16 Bit $\mu$ C-PDI-Schnittstelle	13
2.5	32 Bit Digital-PDI-Schnittstelle	15
2.6	PIC PDI-Schnittstelle	17
2.7	SPI-PDI-Schnittstelle	20
2.8	Distributed Clocks	20
2.9	FPGA-Programmierschnittstelle	21
2.10	PIC-Programmierschnittstelle	21
<b>3</b>	<b>Altera Quartus II Programmer™</b>	<b>23</b>
3.1	Auswählen der Programmierhardware	24
3.2	Konvertieren der SOF-Datei in das JIC-Format	25
3.3	Auswählen der Programmierdatei	27
3.4	Programmieren des FPGAs/EEPROMs	27
<b>4</b>	<b>Anhang</b>	<b>28</b>
4.1	Support und Service	28
4.2	Beckhoff Firmenzentrale	28

## TABELLEN

Tabelle 1 Belegung der Pfostenstecker J202 und TP202 .....	10
Tabelle 2 Positionen des PDI-Auswahlschalters .....	12
Tabelle 3 Belegung der Pfostenstecker TP208 und J208 .....	14
Tabelle 4 Belegung des Pfostensteckers TP206 .....	14
Tabelle 5 Portkonfiguration des digitalen PDI .....	15
Tabelle 6 Funktion der Signale OE_CONF und OE_EXT .....	15
Tabelle 7 Belegung der Pfostenstecker TP207 und J207 .....	16
Tabelle 8 Belegung des Pfostensteckers J900 .....	16
Tabelle 9 Portbelegung des PICs mit digitalen Eingangs- und Ausgangssignalen .....	18
Tabelle 10 Anbindung von SPI, EEPROM und Programmiersignalen an den PIC24H .....	18
Tabelle 11 Belegung der Pfostenstecker TP209 und J209 .....	18
Tabelle 12 Belegung des Pfostensteckers J510 .....	19
Tabelle 13 Belegung des Pfostensteckers J1005 .....	19
Tabelle 14 Belegung der Pfostenstecker TP204 und J204 .....	20

## ABBILDUNGEN

Abbildung 1 Übersicht EL9800 .....	7
Abbildung 2 Spannungsversorgung .....	8
Abbildung 3 Belegung für Pfostenstecker J1203 .....	8
Abbildung 4 Pfostenstecker J1200 – Auswahl der Pfostensteckerspannung .....	8
Abbildung 5 Aufsteckbereich der EtherCAT-Briefmarke .....	9
Abbildung 6 Belegung der Pfostenstecker J202 und TP202 .....	9
Abbildung 7 PDI-Auswahlbereich .....	11
Abbildung 8 Belegung des Pfostensteckers J1201 .....	12
Abbildung 9 $\mu$ -Controller PDI-Schnittstelle .....	13
Abbildung 10 Spannungen auf den Pfostensteckern TP208 und J208 .....	13
Abbildung 11 Digital IO PDI-Schnittstelle .....	15
Abbildung 12 Spannungen auf den Pfostensteckern TP207 und J207 .....	17
Abbildung 13 PIC PDI-Schnittstelle .....	17
Abbildung 14 Konfigurations- und Statusbereich der Distributed Clocks .....	20
Abbildung 15 FPGA-Programmierschnittstelle .....	21
Abbildung 16 PIC-Programmierschnittstelle .....	21
Abbildung 17 Altera Quartus II Programmer™ .....	23
Abbildung 18 Hardware Setup Dialog .....	24
Abbildung 19 Hardware Setup Dialog – USB Blaster ausgewählt .....	24
Abbildung 20 Quartus II Programmer Dialog nach erfolgreicher FPGA-Suche .....	25
Abbildung 21 Dialog Convert Programming Files .....	26
Abbildung 22 Auswahl der Programmierdatei .....	27

## ABKÜRZUNGEN

DC	Direct Current
EEPROM	Electrically Erasable Programmable Read Only Memory. Non-volatile memory used to store ESC configuration and description.
ESC	EtherCAT Slave Controller
EtherCAT	Real-time Standard for Industrial Ethernet Control Automation Technology
GND-Earth	Ground-Earth
LED	Light Emitting Diode, used as an indicator
PCB	Printed Circuit Board
PDI	Process Data interface
SPI	Serial Peripheral Interface
RJ45	FCC Registered Jack, standard Ethernet connector (8P8C)

# 1 Legal Notice

## 1.1 Marken

Beckhoff®, TwinCAT®, EtherCAT®, Safety over EtherCAT®, TwinSAFE® und XFC® sind eingetragene und lizenzierte Marken der Beckhoff Automation GmbH. Die Verwendung anderer in dieser Dokumentation enthaltenen Marken oder Kennzeichen durch Dritte kann zu einer Verletzung von Rechten der Inhaber der entsprechenden Bezeichnungen führen.

## 1.2 Patente

Die EtherCAT Technology ist patentrechtlich geschützt, insbesondere durch folgende Anmeldungen und Patente: DE10304637, DE102004044764, DE102005009224, DE102007017835 mit den entsprechenden Anmeldungen und Eintragungen in verschiedenen anderen Ländern.

## 1.3 Disclaimer

Diese Dokumentation wurde sorgfältig erstellt. Die beschriebenen Produkte werden jedoch ständig weiter entwickelt. Deshalb ist die Dokumentation nicht in jedem Fall vollständig auf die Übereinstimmung mit den beschriebenen Leistungsdaten, Normen oder sonstigen Merkmalen geprüft. Falls sie technische oder redaktionelle Fehler enthält, behalten wir uns das Recht vor, Änderungen jederzeit und ohne Ankündigung vorzunehmen. Aus den Angaben, Abbildungen und Beschreibungen in dieser Dokumentation können keine Ansprüche auf Änderung bereits gelieferter Produkte geltend gemacht werden.

## 1.4 Copyright

© Beckhoff Automation GmbH 05/2009.

Weitergabe sowie Vervielfältigung dieses Dokuments, Verwertung und Mitteilung seines Inhalts sind verboten, soweit nicht ausdrücklich gestattet. Zuwiderhandlungen verpflichten zu Schadenersatz. Alle Rechte für den Fall der Patent-, Gebrauchsmuster- oder Geschmacksmustereintragung vorbehalten.

## 1.5 Sicherheitshinweise





Beachten Sie die folgenden Sicherheitshinweise und Erklärungen!  
Produktspezifische Sicherheitshinweise finden Sie auf den folgenden Seiten oder in den Bereichen Montage, Verdrahtung, Inbetriebnahme usw.

### 1.5.1 Auslieferungszustand

Die gesamten Komponenten werden je nach Anwendungsbestimmungen in bestimmten Hard- und Software-Konfigurationen ausgeliefert. Änderungen der Hard-, oder Software-Konfiguration, die über die dokumentierten Möglichkeiten hinausgehen sind unzulässig und bewirken den Haftungsausschluss der Beckhoff Automation GmbH.

### 1.5.2 Erklärung der Sicherheitssymbole

In der vorliegenden Dokumentation werden die folgenden Sicherheitssymbole verwendet. Diese Symbole sollen den Leser vor allem auf den Text des nebenstehenden Sicherheitshinweises aufmerksam machen. Der nebenstehende Sicherheitshinweis ist aufmerksam zu lesen und unbedingt zu befolgen.

 <b>GEFAHR</b>	<b>Akute Verletzungsgefahr!</b>  Wenn der Sicherheitshinweis neben diesem Symbol <b>nicht</b> beachtet wird, besteht unmittelbare Gefahr für Leben und Gesundheit von Personen.
 <b>WARNUNG</b>	<b>Vorsicht Verletzungsgefahr!</b>  Wenn der Sicherheitshinweis neben diesem Symbol <b>nicht</b> beachtet wird, besteht Gefahr für Leben und Gesundheit von Personen.
 <b>VORSICHT</b>	<b>Gefahr für Personen, Umwelt oder Geräte</b>  Wenn der Sicherheitshinweis neben diesem Symbol <b>nicht</b> beachtet wird, können Personen, Umwelt oder Geräte geschädigt werden.
 <b>Hinweis</b>	<b>Tipp oder Fingerzeig</b>  Dieses Symbol kennzeichnet Informationen, die zum besseren Verständnis beitragen.

## 1.6 Ausgabestände der Dokumentation

Version	Kommentar
3.0.0	Erste Veröffentlichung
3.0.1	Signalbelegung der Pfostenstecker J202 und TP202 eingefügt
3.0.2	CPU_CLK_IN in Tabelle 1 hinzugefügt
3.0.3	Signalpegel hinzugefügt
3.0.4	Beschriftung in Abbildung 8 von J1202 nach J1201 geändert
3.0.5	A13, nTS und nTA in Tabelle 3 eingefügt

## 2 Produktübersicht

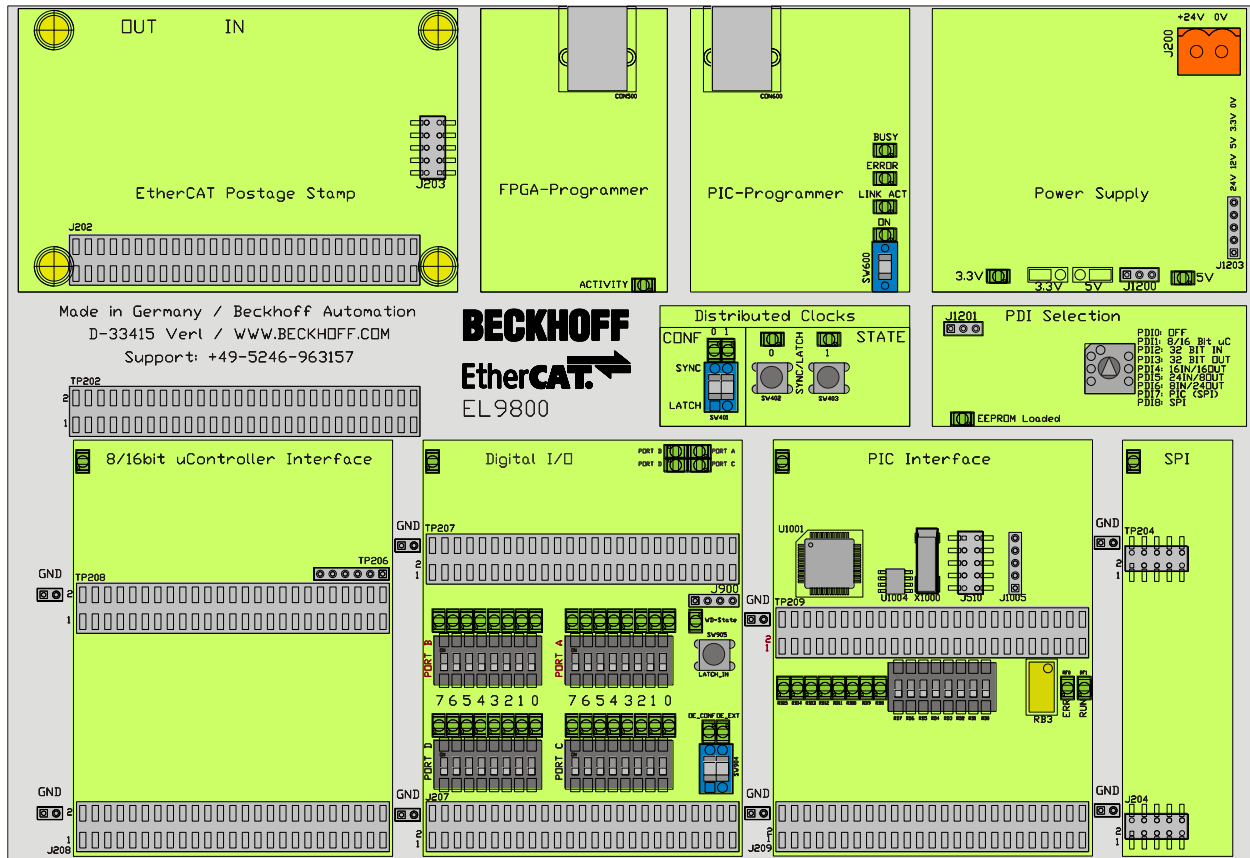


Abbildung 1 Übersicht EL9800

Auf der Basisplatine der EtherCAT Evaluation Kits können die von allen EtherCAT Slave-Controllern (ESC) unterstützten Prozessdatenschnittstellen getestet und für Prototypenimplementierungen verwendet werden. Alle EtherCAT Briefmarken mit dem Bezeichnungsstamm FB1XXX sind kompatibel zur Trägerplatine EL9800 und somit in Verbindung mit dieser Platine einsetzbar. Zu den jeweiligen EtherCAT Briefmarken existieren gesonderte Dokumentationen, die auf deren jeweiligen Eigenschaften eingehen. Die Dokumentation der zum Evaluation Kit zugehörigen EtherCAT Briefmarke liegt auf der Evaluation Kit CD bei.

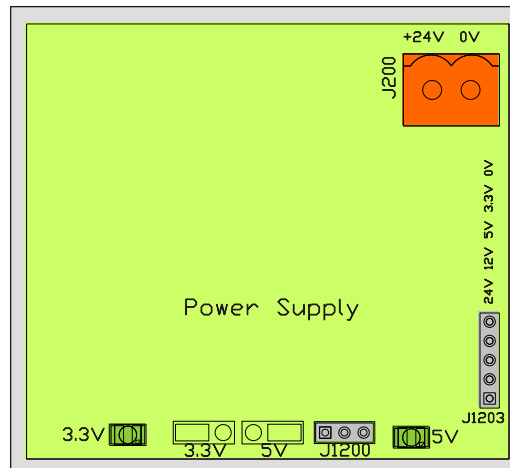
In Abbildung 1 ist die Trägerplatine EL9800 mit ihren vier konfigurierbaren Prozessdatenschnittstellen (PDI) abgebildet. Als Prozessdatenschnittstellen stehen folgende Varianten zur Verfügung:

- SPI-Schnittstelle
- SPI-Schnittstelle mit PIC
- 32 Bit digitale Schnittstelle
- µ-Controller Schnittstelle

Zwischen den verschiedenen Prozessdatenschnittstellen kann über einen Drehwahlschalter ausgewählt werden.

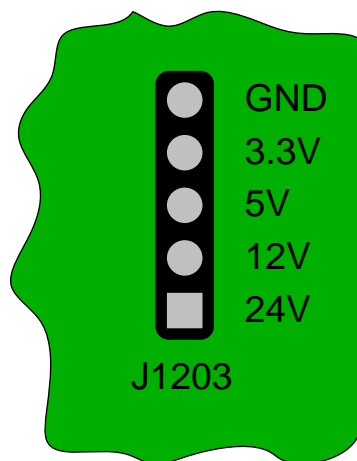
Programmierschnittstellen für FPGA-basierte EtherCAT-Briefmarken und für den auf der Trägerplatine integrierten PIC24 des Herstellers Microchip können wahlweise zur Konfiguration als auch zum Debuggen eingesetzt werden. Ein Feld für die Verwaltung der Sync- und Latch-Signale des EtherCAT-Slave-Controllers dient sowohl zur Anzeige der Signalzustände als auch zur manuellen Eingabe und Konfiguration der Signale. Die integrierte Spannungsversorgung bietet ausreichend Reserven, um zusätzlich Kundenschalungen betreiben zu können.

## 2.1 Spannungsversorgung



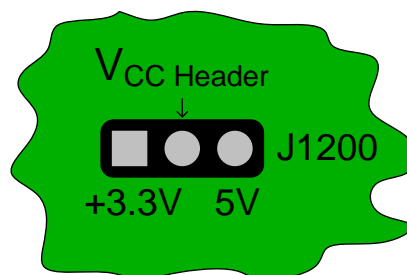
**Abbildung 2 Spannungsversorgung**

Die EL9800 Basisplatine wird mit 24V Gleichspannung (J200) versorgt. Aus dieser Spannung werden die Versorgungsspannungen 12V, 5V und 3.3V erzeugt. Die erzeugten Spannungen können am Pfostenstecker J1203 für eigene Schaltungen abgegriffen werden. Die korrekte Funktion der Spannungswandler für 3.3V und 5V wird durch entsprechende LEDs angezeigt.



**Abbildung 3 Belegung für Pfostenstecker J1203**

Mit dem Pfostenstecker J1200 kann zwischen 3.3V und 5V als Spannung an den Pfostensteckern der Prozessdatenschnittstellen  $\mu$ -Controller, Digital IO und SPI ausgewählt werden.



**Abbildung 4 Pfostenstecker J1200 – Auswahl der Pfostensteckerspannung**

Alle Signale der Prozessdatenschnittstellen haben 3.3V-CMOS-Pegel. Bis auf die Eingangssignale der PIC PDI-Schnittstelle (Kapitel 2.6) sind alle Eingänge 5V tolerant.

## 2.2 Prozessdatenschnittstelle für EtherCAT-Briefmarken

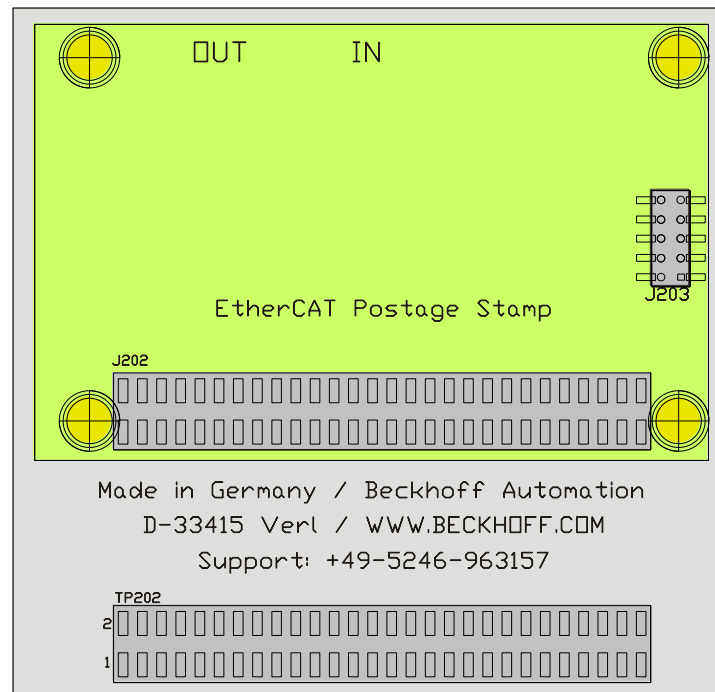


Abbildung 5 Aufsteckbereich der EtherCAT-Briefmarke

In diesem Feld auf der Trägerplatine EL9800 werden die EtherCAT-Briefmarken aufgesteckt. Der Pfostenstecker J202 dient zur Kommunikation zwischen Briefmarke und Trägerplatine. Im Falle von FPGA-basierten Briefmarken erfolgt mittels der Stiftleiste J203 die Konfiguration der Briefmarke als auch das Debuggen des FPGAs. Die Signalbelegung der Pfostenstecker J202 und TP202 ist identisch. Somit können die Signale der Prozessdatenschnittstelle einer jeden EtherCAT Briefmarke verzögerungsfrei gemessen bzw. für eigene Schaltungen verwendet werden. Die Belegung beider Pfostensteckerleisten ist bis auf die Spannungsversorgung abhängig von der jeweils aufgesteckten EtherCAT-Briefmarke.

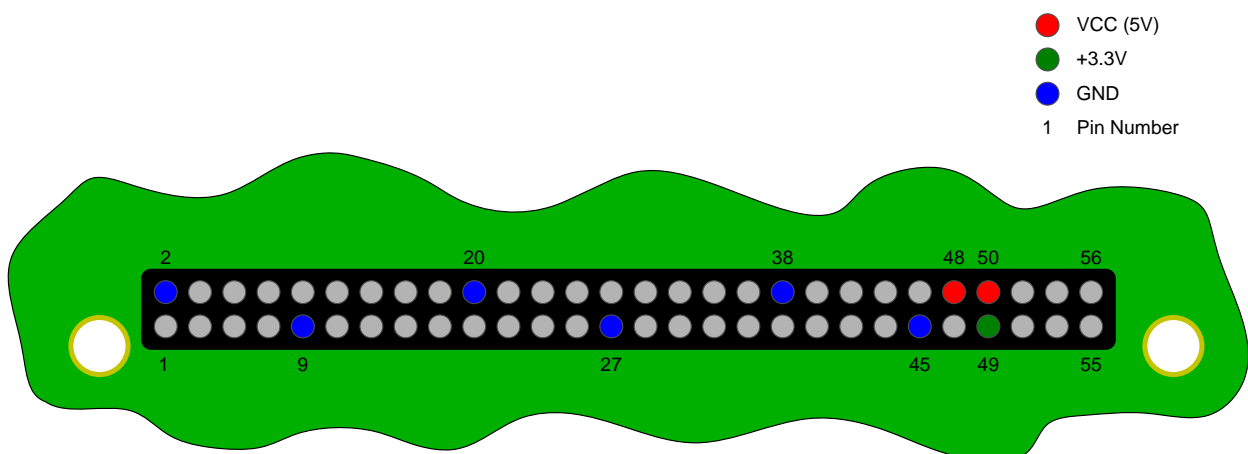


Abbildung 6 Belegung der Pfostenstecker J202 und TP202

Abbildung 6 zeigt die Belegung der Pfostenstecker J202 und TP202 mit Spannungsein- und -ausgängen. Jede EtherCAT-Briefmarke gibt die eigene IO-Spannung von 3.3 Volt auf Pin 49 der Pfostenstecker J202 und TP202 aus. Maximale Transferraten zwischen EtherCAT Slave Controller und externer Hardware können erreicht werden, wenn diese mit dem Pfostenstecker TP202 verbunden wird, da in diesem Fall die Kommunikation nicht über die den PDIs vorgelagerten Bustreibern erfolgt.


## 2.2.1 Prozessdatenschnittstellenabhängige Belegung der Pfostenstecker J202 und TP202

Die Belegung der Pfostenstecker J202 und TP202 ist abhängig von der Wahl der Prozessdatenschnittstelle auf der EL9800 Trägerplatine. In Tabelle 1 ist die Belegung dieser Pfostenstecker für die Prozessdatenschnittstellen Digital IO, SPI und den verschiedenen Mikrocontrollerschnittstellen aufgeführt.

**Tabelle 1 Belegung der Pfostenstecker J202 und TP202**

Pin-Nummer	Digital IO	SPI	8/16bit sync./as. µC
1	I/O[0]	GPI[6]	A[0]
2	GND		
3	I/O[2]	GPI[4]	A[2]
4	I/O[1]	GPI[5]	A[1]
5	I/O[4]	GPO[6]	A[4]
6	I/O[3]	GPO[7]	A[3]
7	I/O[6]	GPO[4]	A[6]
8	I/O[5]	GPO[5]	A[5]
9	GND		
10	I/O[7]	GPI[3]	A[7]
11	I/O[9]	GPI[1]	A[9]
12	I/O[8]	GPI[2]	A[8]
13	I/O[11]	GPO[3]	A[11]
14	I/O[10]	GPI[0]	A[10]
15	I/O[13]	EEPROM Loaded	
16	I/O[12]	GPO[2]	A[12]
17	I/O[15]	GPI[11]	CPU_CLK_IN
18	I/O[14]	GPO[1]	A[13]
19	I/O[16]	GPI[7]	D[0]
20	GND		
21	I/O[18]	SPI_SEL	D[2]
22	I/O[17]	GPO[8]	D[1]
23	I/O[20]	GPO[11]	D[4]
24	I/O[19]	GPO[10]	D[3]
25	I/O[22]	SPI_INT	D[6]
26	I/O[21]	GPI[8]	D[5]
27	GND		
28	I/O[23]	GPI[10]	D[7]
29	I/O[25]	GPO[13]	D[8]
30	I/O[24]	SPI_D_IN	D[8]
31	I/O[27]	GPO[15]	D[11]
32	I/O[26]	SPI_D_OUT	D[10]
33	I/O[29]	GPI[13]	D[13]
34	I/O[28]	GPI[12]	D[12]
35	I/O[31]	GPI[15]	D[15]
36	I/O[30]	GPI[14]	D[14]
37	WD_TRIGGER	SPI_CLK	nCS
38	GND		
39	SOF	N.C.	RDnWR/nWR
40	OUT_VALID	N.C.	nTS/nRD

Pin-Nummer	Digital IO	SPI	8/16bit sync./as. µC
41	SYNC[0]/LATCH[0]		
42	N.C.	N.C.	nBHE
43	LATCH_IN	N.C.	IRQ
44	SYNC[1]/LATCH[1]		
45	GND		
46	OE	N.C.	nTA/nBUSY
47	N.C.		
48	VCC		
49	3.3V Out		
50	VCC (5V Input)		
51	CLK25_OUT	N.C.	A[15]
52	OE_CONF	GPO[0]	A[14]
53	Not Used		
54	Not Used		
55	Not Used		
56	Not Used		

 <b>Hinweis</b>	<p><b>Verwendung der FB1111-0142 mit abweichendem PDI</b></p> <p>Die Verwendung der FB1111-0142 mit abweichendem PDI (SPI, µ-Controller) wird nur für Evaluationszwecke in Verbindung mit der EL9800 Basisleiterkarte unterstützt. Die Belegung der Pfostenstecker J202 und TP202 wird daher für diese Fälle nicht ausgeführt.</p> <p>Für den Einsatz in Endgeräten wird die Verwendung einer Briefmarke mit entsprechendem, nativem PDI empfohlen.</p>
---	---

## 2.3 PDI-Auswahl

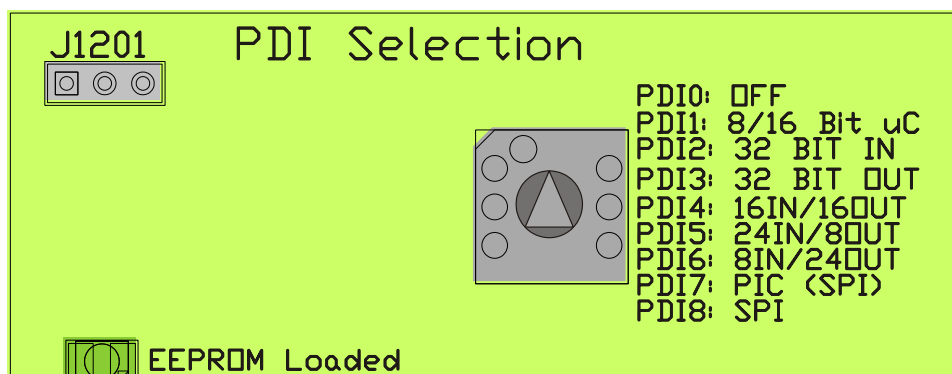


Abbildung 7 PDI-Auswahlbereich

Die Auswahl der verschiedenen Prozessdatenschnittstellen auf dem EL9800 Trägerplatine erfolgt über einen Drehwahlschalter. Auf die vier physikalischen PDIs werden insgesamt acht verschiedene logische PDIs abgebildet. Die Schalterpositionen aktivieren die jeweils folgend aufgeführten Prozessdatenschnittstellen:

Tabelle 2 Positionen des PDI-Auswahlschalters

Position	Prozessdatenschnittstelle
0	OFF
1	8/16 Bit $\mu$ -Controller Interface
2	32 Bit digital Interface - 32 Eingänge
3	32 Bit digital Interface - 32 Ausgänge
4	32 Bit digital Interface - 16 Eingänge / 16 Ausgänge
5	32 Bit digital Interface - 24 Eingänge / 8 Ausgänge
6	32 Bit digital Interface - 8 Eingänge / 24 Ausgänge
7	PIC (SPI)
8	SPI

Bei allen Briefmarken wird das erfolgreiche Laden der EtherCAT-Konfiguration aus dem EEPROM durch eine LED auf der EL9800 Trägerplatine angezeigt.

Auf der EL9800 wird automatisch zwischen FPGA-basierten EtherCAT-Briefmarken und ASIC-Basierten unterschieden. Dazu wird die Programmierspannung am Pfostenstecker J203 detektiert und ausgewertet. Bei fehlender Spannung kann das Verhalten der Trägerplatine durch den Pfostenstecker J1202 konfiguriert werden. Abbildung 8 zeigt die Belegung des Pfostensteckers J1202

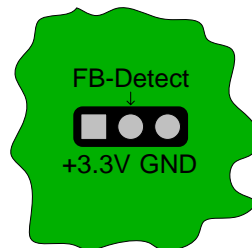


Abbildung 8 Belegung des Pfostensteckers J1201

Im Auslieferungszustand befindet sich **keine** Brücke auf dem Pfostenstecker. Zwischen FB-Detect und +3.3V muss eine Brücke platziert werden, wenn EtherCAT Briefmarken des Typs FB1111-0140 und FB1111-0141 in Verbindung mit der EL9800 Basisplatine genutzt werden. Voraussetzung für eine korrekte Kommunikation zwischen EtherCAT-Briefmarke und der Trägerplatine EL9800 ist eine korrekte Konfiguration des EtherCAT-Teilnehmers. Sowohl bei auf dem Beckhoff IP-Core basierenden FPGA-Briefmarken als auch auf ET1100 beruhenden Briefmarken muss die Prozessdatenschnittstelle mit TwinCAT, durch Laden der entsprechenden Binärdatei in das Konfigurations-EEPROM (\*.bin), konfiguriert werden.

## 2.4 8/16 Bit $\mu$ C-PDI-Schnittstelle

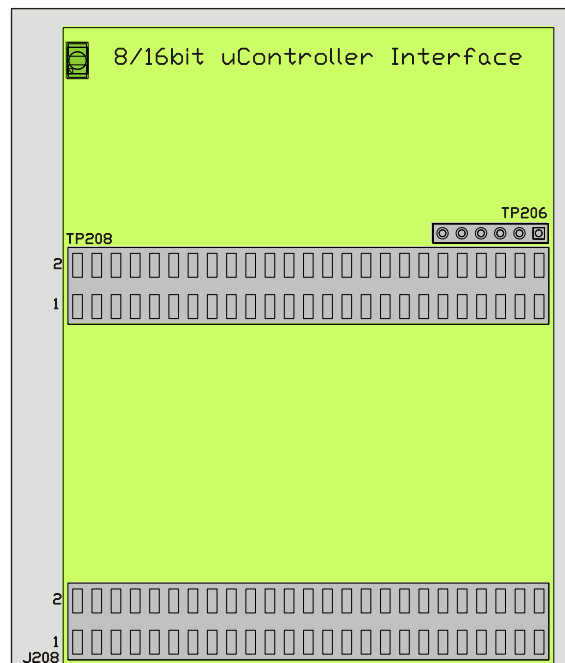


Abbildung 9  $\mu$ -Controller PDI-Schnittstelle

In diesem Bereich kann sowohl kundenspezifische  $\mu$ -Controller-Hardware angeschlossen werden, als auch die Kommunikation zwischen  $\mu$ -Controller und EtherCAT-Slave-Controller beobachtet werden. Von der Trägerplatine EL9800 werden  $\mu$ Controller mit 8 und 16 Bit Datenbreite bei 16 Bit Adressraum unterstützt. Die logischen Pegel der Kommunikationssignale sind nach der Intel-Konfiguration ausgeführt (z.B. C166, SH1, uvm.)

- VCC
- GND
- 1 Pin Number

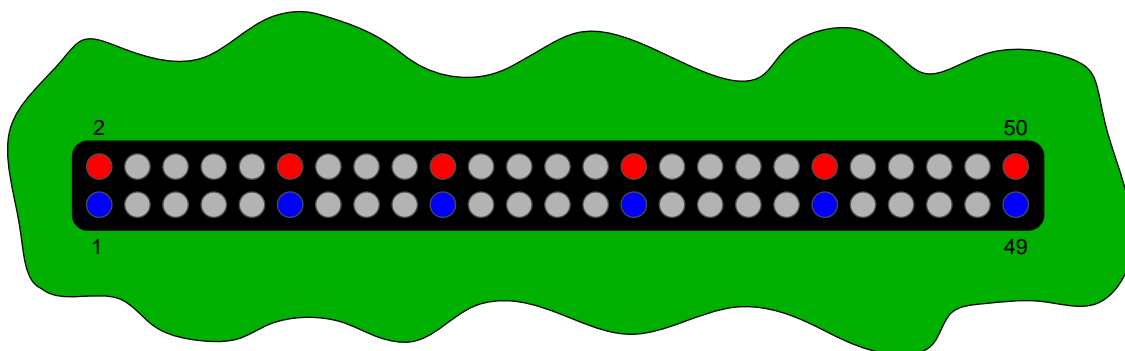


Abbildung 10 Spannungen auf den Pfostensteckern TP208 und J208

Die beiden Pfostenstecker TP208 und J208 (siehe Abbildung 10) verfügen über eine identische Signal und Spannungsbelegung, wobei der Pfostenstecker TP208 vorrangig als Messpunkt dient, der Pfostenstecker J208 zum Anschluss externer Schaltungen.

Tabelle 3 Belegung der Pfostenstecker TP208 und J208

Pin	Signal
1	GND
3	A0
5	A2
7	A4
9	A6
11	GND
13	A8
15	A10
17	A12
19	GND
21	D0
23	D2
25	D4
27	D6
29	GND
31	D8
33	D10
35	D12
37	D14
39	GND
41	nCS
43	nWR
45	nBUSY (nTA)
47	Port E4 (SYNC0)
49	GND

Pin	Signal
2	Vcc
4	A1
6	A3
8	A5
10	A7
12	Vcc
14	A9
16	A11
18	A13
20	Vcc
22	D1
24	D3
26	D5
28	D7
30	Vcc
32	D9
34	D11
36	D13
38	D15
40	Vcc
42	nRD (nTS)
44	nBHE
46	nINT
48	Port E5 (SYNC1)
50	Vcc

Weitere Signale, wie z.B. die beiden oberen Adressleitungen werden auf dem Pfostenstecker TP206 herausgeführt. Die Belegung dieses Pfostensteckers geht aus folgender Tabelle hervor.

Tabelle 4 Belegung des Pfostensteckers TP206

Pin	Signal
1	VCC
2	A14
3	A15
4	CPU_CLK_IN
5	EEPROM_Loaded
6	GND

## 2.5 32 Bit Digital-PDI-Schnittstelle

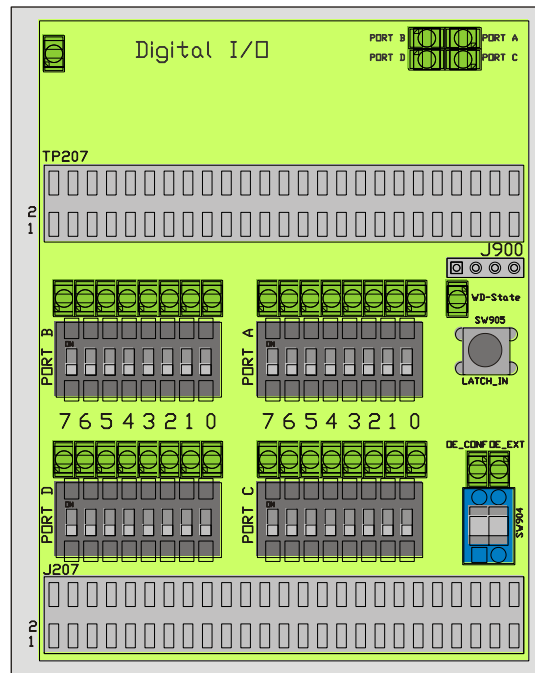


Abbildung 11 Digital IO PDI-Schnittstelle

Neben den Eingangs- und Ausgangssignalen enthält die digitale Prozessdatenschnittstelle auch Konfiguration- und Statussignale. Die 32 digitalen Signale können über den PDI-Auswahlschalter byteweise als Eingangs- bzw. Ausgangssignale konfiguriert werden. Folgende Kombinationen stehen zur Auswahl:

Tabelle 5 Portkonfiguration des digitalen PDI

Position	Prozessdatenschnittstelle	Port A	Port B	Port C	Port D
2	32 Bit digital Interface - 32 Eingänge	IN	IN	IN	IN
3	32 Bit digital Interface - 32 Ausgänge	OUT	OUT	OUT	OUT
4	32 Bit digital Interface - 16 Eingänge / 16 Ausgänge	IN	IN	OUT	OUT
5	32 Bit digital Interface - 24 Eingänge / 8 Ausgänge	IN	IN	IN	OUT
6	32 Bit digital Interface - 8 Eingänge / 24 Ausgänge	IN	OUT	OUT	OUT

Vier LEDs im oberen rechten Bereich des PDI-Bereiches zeigen die Konfiguration der Datenbytes an. Die LEDs sind aktiv, wenn das jeweilige Byte (Port A bis D) als Ausgang in der Prozessdatenschnittstelle der EtherCAT Briefmarke konfiguriert ist. Jedem Port sind weiterhin acht LEDs und acht Schalter zugeordnet, um je nach Konfiguration Daten ausgeben bzw. eingeben zu können.

Der rechte, untere Bereich der digitalen PDI-Schnittstelle dient zur Konfiguration und Statusausgabe der digitalen Prozessdatenschnittstelle. Mit dem zweipoligen Schalter SW904 werden die beiden Signale OE\_CONF und OE\_EXT konfiguriert. Der Zustand der Signale wird durch die entsprechenden LEDs signalisiert.

Tabelle 6 Funktion der Signale OE\_CONF und OE\_EXT

Signal	Bedeutung	Polarität
OE_CONF	Output Configuration - Verhalten der Ausgangssignale beim Abfallen des Signals WD-State bzw. wenn OE_EXT inaktiv ist.	Positiv
OE_EXT	Output Enable - Schaltet die Ausgabe der Ausgangssignale frei.	Positiv

Die Übernahme der Eingangsdaten in die EtherCAT Briefmarke kann manuell durch Betätigen des Tasters SW905 (LATCH\_IN) gesteuert werden. Weiterhin wird durch die LED WD-State der Zustand des Watchdogs angezeigt. Die LED ist aktiv, wenn der Watchdog aktiv ist. Die LED ist inaktiv, wenn der Watchdog abgelaufen ist. Alle Signale des digitalen PDIs sind zusätzlich auf Pfostensteckern herausgeführt. Der Pfostenstecker TP207 (Messpunkte) und der Pfostenstecker J207 (Anbindung externer Hardware) sind identisch wie in Tabelle 7 beschrieben belegt.

**Tabelle 7 Belegung der Pfostenstecker TP207 und J207**

Pin	Signal
1	I/O 0
3	I/O 2
5	I/O 4
7	I/O 6
9	GND
11	I/O 8
13	I/O 10
15	I/O 12
17	I/O 14
19	GND
21	I/O 16
23	I/O 18
25	I/O 20
27	I/O 22
29	GND
31	I/O 24
33	I/O 26
35	I/O 28
37	I/O 30
39	GND
41	IN Valid
43	Port E2
45	Port E4 (SYNC0)
47	Port E6
49	GND

Pin	Signal
2	I/O 1
4	I/O 3
6	I/O 5
8	I/O 7
10	Vcc
12	I/O 9
14	I/O 11
16	I/O 13
18	I/O 15
20	Vcc
22	I/O 17
24	I/O 19
26	I/O 21
28	I/O 23
30	Vcc
32	I/O 25
34	I/O 27
36	I/O 29
38	I/O 31
40	Vcc
42	OUT valid
44	Port E3
46	Port E5 (SYNC1)
48	Port E7
50	Vcc

Weitere Signale werden auf dem Pfostenstecker J900 herausgeführt.

**Tabelle 8 Belegung des Pfostensteckers J900**

Pin	Signal
1	VCC
2	WD_STATE
3	OE_CONF
4	GND

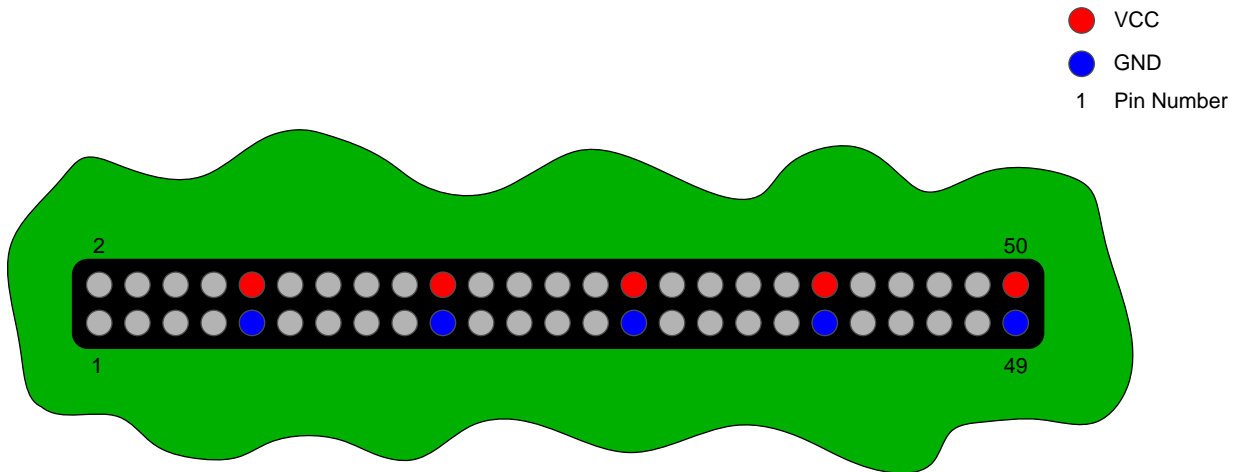


Abbildung 12 Spannungen auf den Pfostensteckern TP207 und J207

Die beiden Pfostenstecker TP208 und J208 (siehe Abbildung 12) verfügen über eine identische Signal und Spannungsbelegung, wobei der Pfostenstecker TP208 vorrangig als Messpunkt dient, der Pfostenstecker J208 zum Anschluss externer Schaltungen.

## 2.6 PIC PDI-Schnittstelle

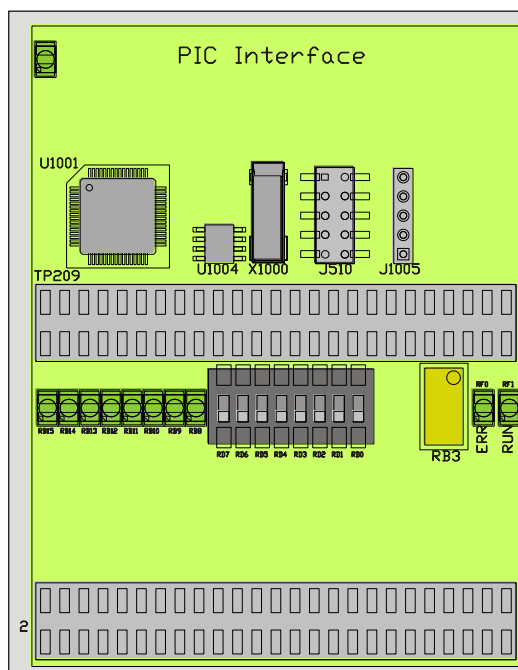


Abbildung 13 PIC PDI-Schnittstelle

Auf der Trägerplatine EL9800 ist ein PIC (U1001) des Typs 24HJ128 des Herstellers Microchip integriert. Die Kommunikation zwischen PIC und EtherCAT Briefmarke erfolgt über die SPI-Schnittstelle. Am PIC ist ein serielles, über eine I<sup>2</sup>C-Schnittstelle angeschlossenes, EEPROM (U1004) des Typs AT24C16A des Herstellers ATMEL. Ebenfalls an den PIC angeschlossen ist ein Quarz (X1000) mit einer Frequenz von 10MHz.

Für Demonstrations- und Testzwecke werden digitale Ein-/Ausgänge und ein analoger Eingang des PICs verwendet. Jeweils acht LEDs und acht Schalter bilden die digitale Schnittstelle zum PIC (Belegung siehe Tabelle 9). Ein Potentiometer ist am analogen Eingang **RB3** des PICs angeschlossen.

Für Zustands- bzw. Fehlerausgaben sind zwei LEDs mit den Ports **RF1** (RUN) und **RF0**(ERR) des PICs verbunden.

**Tabelle 9 Portbelegung des PICs mit digitalen Eingangs- und Ausgangssignalen**

Port	Signal	Pin	Signal
RB8	Digitaler Ausgang Bit 0	RD0	Digitaler Eingang Bit 0
RB9	Digitaler Ausgang Bit 1	RD1	Digitaler Eingang Bit 1
RB10	Digitaler Ausgang Bit 2	RD2	Digitaler Eingang Bit 2
RB11	Digitaler Ausgang Bit 3	RD3	Digitaler Eingang Bit 3
RB12	Digitaler Ausgang Bit 4	RD4	Digitaler Eingang Bit 4
RB13	Digitaler Ausgang Bit 5	RD5	Digitaler Eingang Bit 5
RB14	Digitaler Ausgang Bit 6	RD6	Digitaler Eingang Bit 6
RB15	Digitaler Ausgang Bit 7	RD7	Digitaler Eingang Bit 7

Die Anbindung der SPI-Schnittstelle, des EEPROMs und der Programmierschnittstelle an den PIC ist in Tabelle 10 aufgelistet.

**Tabelle 10 Anbindung von SPI, EEPROM und Programmiersignalen an den PIC24H**

SPI-Schnittstelle		EEPROM-Schnittstelle		Konfigurationssignale	
Port	Signal	Port	Signal	Port	Signal
RB2	SPI_SEL	RG2/SCL1	EE_CLK	RB0/PGD3	TARGET_DATA
RD8	SPI_IRQ	RG3/SDA1	EE_SDA	RB1/PGC3	TARGET_CLOCK
RF2	SPI_DOUT			MCLK#	TARGET_VPP
RF3	SPI_DIN				
RF6	SPI_CLK				

Die Pfostenstecker TP209 und J209 sind mit Ports des PICs verbunden und können zum Messen oder auch zur Verbindung mit externer Hardware verwendet werden.

**Tabelle 11 Belegung der Pfostenstecker TP209 und J209**

Port	Signal	Port	Signal
1	GND	2	3.3V
3	PGD3/RB0	4	PGC3/RB1
5	AN2/SS1/CN4/RB2	6	AN3/CN5/RB3
7	AN4/IC7/CN6/RB4	8	AN5/IC8/CN7/RB5
9	PGC1/RB6	10	PGD1/RB7
11	GND	12	3.3V
13	U2CTS/AN8/RB8	14	AN9/RB9
15	TMS/AN10/RB10	16	TDO/AN11/RB11
17	TCK/AN12/RB12	18	TDI/AN13/RB13
19	U2RTS/AN14/RB14	20	AN15/OCFB/CN12/RB15
21	GND	22	3.3V
23	SCK2/CN8/RG6	24	SDI2/CN9/RG7
25	SDO2/CN10/RG8	26	SS2/T5CK/CN11/RG9
27	RG12	28	RG13
29	RG14	30	RG15

31	GND
33	RF0
35	U1RX/SDI1/RF2
37	U2RX/SDA2/CN17/RF4
39	GND
41	U1RTS/SCK1/INT0/RF6
43	EEPROM_Loaded
45	PGD2//RC13
47	GND
49	IC3/INT3/RD10(SYNC0)

32	3.3V
34	RF1
36	U1TX/SDO1/RF3
38	U2TX/SCL2/CN18/RF5
40	3.3V
42	IC1/INT1/RD8
44	AN17/T3CK/T6CK/RC2
46.	PGC2//RC14
48	3.3V
50	IC4/INT4/RD11 (SYNC1)

Die Signale der SPI-Schnittstelle sind zusammen mit den Sync-Signalen und dem Signal EEPROM-Loaded zusätzlich auf einer zehnpoligen Pfostensteckerleiste herausgeführt. Die Belegung dieser Pfostensteckerleiste ist in Tabelle 12 aufgeführt.

**Tabelle 12 Belegung des Pfostensteckers J510**

Pin	Signal
1	SPI_CLK_IN
3	EEPROM_LOADED
5	SPI_DIN
7	SPI_DOUT
9	SPI_INTERRUPT

Pin	Signal
2	3.3V
4	SYNC0/LATCH0
6	SPI_SEL
8	SYNC1/LATCH1
10	GND

**Tabelle 13 Belegung des Pfostensteckers J1005**

Pin	Signal
1	3.3V
2	RC14/PGC2
3	RC13/PGD2
4	MCLR#
5	GND



**Hinweis**

**Verwendung von J1005 als PIC Programmierschnittstelle**

Soll der Pfostenstecker J1005 als Schnittstelle zur Programmierung des PICs verwendet werden, so ist zu beachten, dass die Programmierschnittstelle **PGD2/PGC2** in der Entwicklungsumgebung einzustellen ist.

## 2.7 SPI-PDI-Schnittstelle

Die SPI-Prozessdatenschnittstelle besteht aus zwei Pfostensteckerleisten (TP204 und J204), welche Messpunkte als auch eine Anbindungsmöglichkeit für externe Hardware bilden. Beide Pfostensteckerleisten sind identisch, wie in Tabelle 14 beschrieben, belegt.

Tabelle 14 Belegung der Pfostenstecker TP204 und J204

Pin	Signal	Pin	Signal
1	SPI_CLK_IN	2	3.3V
3	EEPROM_LOADED	4	SYNC0/LATCH0
5	SPI_DIN	6	SPI_SEL
7	SPI_DOUT	8	SYNC1/LATCH1
9	SPI_INTERRUPT	10	GND

Die maximal erreichbare Übertragungsrate über diese Schnittstelle hängt wesentlich vom eingesetzten EtherCAT Slave Controller ab. Ebenso wird die Übertragungsrate durch die eingesetzten Bustreiber des Typs SN74LVC245A des Herstellers Texas Instruments beschränkt. Detaillierte Informationen bezüglich der maximalen Taktraten sind aus dem Datenblatt des eingesetzten EtherCAT Slave Controllers und des Bustreibers ersichtlich.

## 2.8 Distributed Clocks

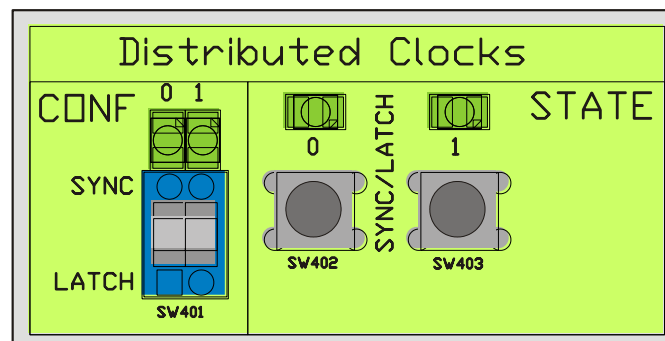


Abbildung 14 Konfigurations- und Statusbereich der Distributed Clocks

Im Konfigurationsbereich der Distributed Clocks kann zwischen den Sync- und Latchsignalen umgeschaltet werden. D.h. mit dem zweipoligen Schalter SW401 kann zwischen Sync0 und Latch0 bzw. Sync1 und Latch1 getrennt voneinander umgeschaltet werden. Wird mit dem Schalter SW401 z.B. von Sync0 auf Latch0 umgeschaltet, so wirkt sich dies ausschließlich auf die Treiberrichtung der eingesetzten Bustreiber auf der Trägerplatine EL9800 aus. Die eingesetzte EtherCAT Briefmarke muss entsprechend der Einstellungen auf der Trägerplatine konfiguriert sein, um Schäden sowohl auf der EtherCAT-Briefmarke als auch auf der EL9800 Trägerplatine zu vermeiden. Die beiden LEDs oberhalb vom Schalter SW401 sind dann aktiv, wenn der entsprechende Schalter in Sync-Stellung ist.

Im rechten Bereich des Distributed Clock Feldes wird sowohl der Zustand der Sync/Latch-Signale angezeigt. D.h. Die LEDs sind aktiv, wenn das zugehörige Sync/Latch-Signal auf logisch Eins getrieben wird. Weiterhin können die Sync/Latch-Signale manuell vom Anwender durch Betätigen des jeweiligen Tasters gesetzt werden.

## 2.9 FPGA-Programmierschnittstelle

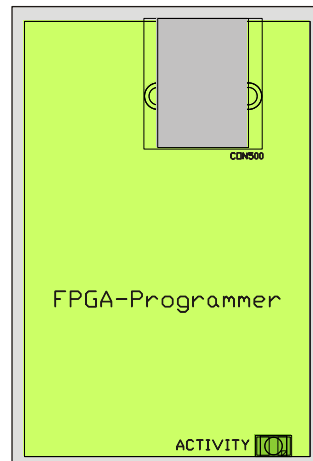


Abbildung 15 FPGA-Programmierschnittstelle

Werden FPGA-basierte EtherCAT Briefmarken in Verbindung mit der EL9800 Trägerplatine verwendet, so können diese über diese Programmierschnittstelle zum einen konfiguriert werden. Zum andern unterstützt diese Schnittstelle das Debuggen von kundenspezifischen Schaltungen. Die USB-Schnittstelle (CON500) auf der EL9800 Trägerplatine muss dazu mit dem beiliegenden USB-Kabel mit dem PC verbunden werden. Zur Konfiguration einer FPGA-basierten Briefmarke kann der Altera Quartus II Programmer™ verwendet werden. Von der FPGA-Programmierschnittstelle werden ausschließlich FPGAs des Herstellers Altera unterstützt (Z.B. FB1122).

Die „Activity“-LED ist während des Programmiervorganges aktiv.

In Kapitel 3 wird der Programmiervorgang mit dem Altera Quartus II Programmer™ beschrieben.

## 2.10 PIC-Programmierschnittstelle

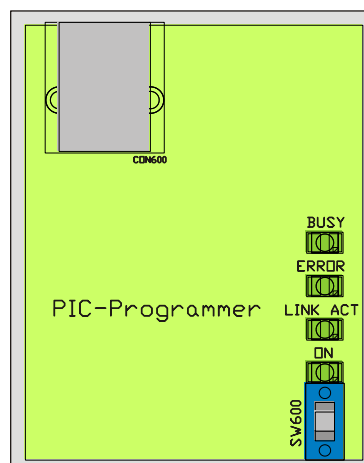



Abbildung 16 PIC-Programmierschnittstelle

Der auf der EL9800 Trägerplatine integrierte PIC24H ist mittels dieser Schnittstelle programmierbar. Dazu wird der USB-Anschluss dieser Schnittstelle mit dem beiliegenden USB-Kabel mit dem PC verbunden. Bei angelegter Versorgungsspannung ist die Schnittstelle durch Betätigen des Schalters SW600 einzuschalten (zugehörige LED leuchtet). Die LED „LINK ACT“ zeigt eine aktive USB-Verbindung an. Während des Programmiervorganges ist die „BUSY“-LED aktiv. Während des Programmiervorganges werden Feh-

ler durch die „ERROR“-LED angezeigt.

Die zur Programmierung des PICs erforderliche Software MPLAB liegt der Evaluation Kit CD bei.

 <p><b>VORSICHT</b></p>	<p><b>Möglicher Ausfall der PIC-Programmierschnittstelle</b></p> <p>Zu Beginn des Programmiervorganges wird u.U. ein Betriebssystem auf die Programmierschnittstelle übertragen. Während dieses Vorganges darf auf keinen Fall die Spannungsversorgung unterbrochen werden, noch darf der Schalter SW600 bewegt werden.</p> <p>Nichtbeachtung der beiden obigen Fälle führt zur unvollständigen Übertragung des Betriebssystems und somit zum Funktionsausfall der Programmierschnittstelle.</p>
--	--

Im Folgenden werden die Arbeitsschritte aufgeführt, die zur Programmierung des PICs eingehalten werden sollten:

1. Einschalten der Spannungsversorgung
2. Einschalten der Programmierschnittstelle. Schalter SW800 in „ON“-Position.
3. Verbinden der Trägerplatine EL9800 mit dem PC mit beiliegendem USB-Kabel.
4. Entwicklungsumgebung MPLAB starten
5. Programmiergerät auswählen

Im Menü „Programmer“ unter „Select Programmer“ ist MPLAB ICD2 auszuwählen.

6. Verbinden mit dem Programmiergerät

Im Menü „Programmer“ ist „Connect“ anzuklicken. Während die Verbindung zum Programmiergerät hergestellt wird, kann es vorkommen, dass ein neues Betriebssystem auf das Programmiergerät heruntergeladen werden muss. Dieser Vorgang kann eine gewisse Zeit in Anspruch nehmen und darf nicht unterbrochen werden. Nichtbeachtung dieses Hinweises kann zum Ausfall der Programmierschnittstelle führen.

7. Laden der Programmdatei

Im Menü „File“ ist unter „Import“ die Datei „el9800-spi-VXXX.hex“ auszuwählen. Wobei „XXX“ durch die Versionsnummer des Slave Sample Codes ist.

8. Anschließend kann der überprüft werden, ob der richtige Typ PIC ausgewählt wurde. Im Normalfall wird der Typ automatisch mit dem Importieren der Programmdatei automatisch eingestellt. Der Typ kann im Menü „Configure“ unter „Select Device“ ausgewählt werden.
9. Der Programmiervorgang wird im Menü „Programmer“ unter „Programm“ gestartet.
10. Nach Abschluss des Programmiervorganges wird der PIC automatisch im Reset gehalten. Der Reset kann auf zwei Arten aufgehoben werden. Durch Betätigen des Schalters SW600 kann die Programmierschnittstelle deaktiviert werden, wodurch der Reset aufgehoben wird. Alternativ kann der Reset durch Klicken auf die Schaltfläche „Release from Reset“ in der Symbolleiste der Entwicklungsumgebung MPLAB aufgehoben werden. Soll das USB-Kabel von der Trägerplatine abgezogen werden, so ist auf jeden Fall zuvor der Schalter SW600 in die Position „OFF“ zu bringen.

## 3 Altera Quartus II Programmer™

FPGAs des Herstellers Altera können, wie in Kapitel 2.9 beschrieben, mit der auf der EL9800 Basisplatte vorhandenen Schnittstelle programmiert werden. Die hierfür erforderliche Programmiersoftware Altera Quartus II Programmer™ kann von der Herstellerwebseite ([www.altera.com](http://www.altera.com)) kostenlos heruntergeladen werden. Die Programmiersoftware ist unabhängig von der Quartus™ Entwicklungsumgebung lauffähig.

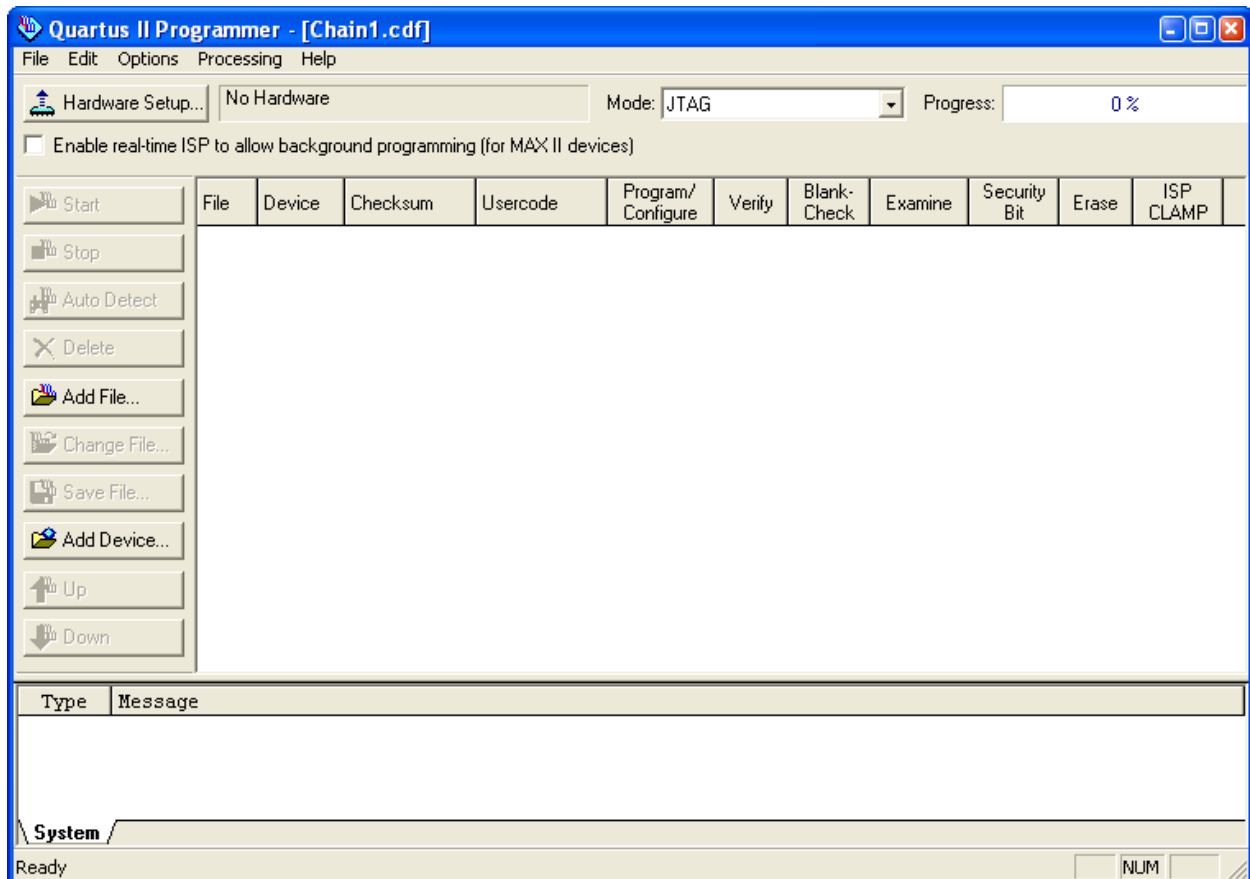


Abbildung 17 Altera Quartus II Programmer™

Im Folgenden die für das Programmieren einer FPGA-Briefmarke erforderlichen Schritte beschrieben:

1. Auswählen der Programmierhardware
2. Konvertieren der SOF-Datei in das JIC-Format
3. Auswählen der Programmierdatei
4. Programmieren des FPGAs/EEPROMs

### 3.1 Auswählen der Programmierhardware

Nach dem Starten erscheint der Altera Quartus Programmer™ wie in Abbildung 17 dargestellt. Als erstes ist die Programmierhardware auszuwählen. Dazu ist unten stehender Dialog (Abbildung 18) durch Anklicken der Schaltfläche „Hardware Setup“ zu öffnen. Hier muss im Auswahldialog „Currently selected hardware“ der USB-Blaster (Abbildung 19) ausgewählt werden. Anschließend kann der Dialog mit „Close“ geschlossen werden.

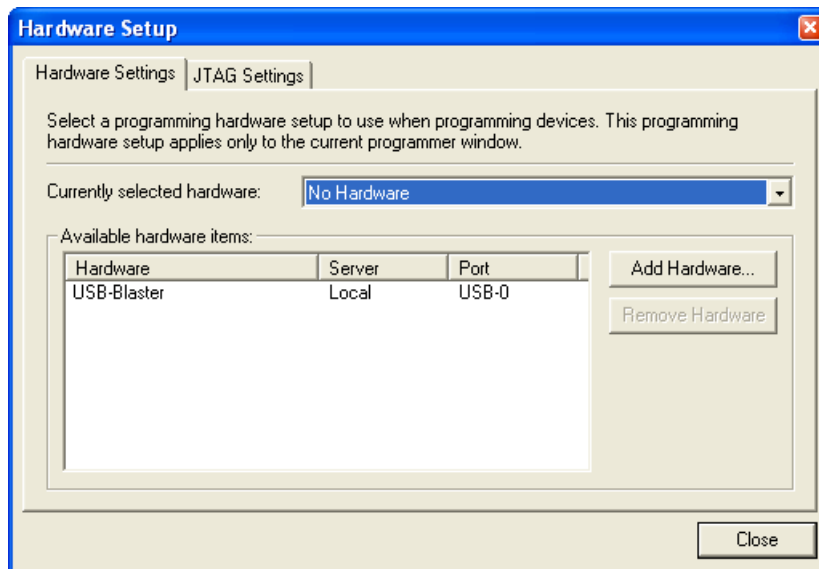


Abbildung 18 Hardware Setup Dialog

Im Anschluss an diesen Schritt kann nach vorhandenen FPGAs gesucht werden. Dies erfolgt automatisch durch Anklicken der Schaltfläche „Auto Detect“. Nach Abschluss des Suchvorganges werden die gefundenen FPGAs/EEPROMs wie in Abbildung 20 aufgelistet. Am Beispiel der EtherCAT Briefmarke FB1122 wird hier das Altera Cyclone III FPGA (EP3C25) und das daran angeschlossene EEPROM (EPCS16) aufgeführt (siehe Abbildung 20).

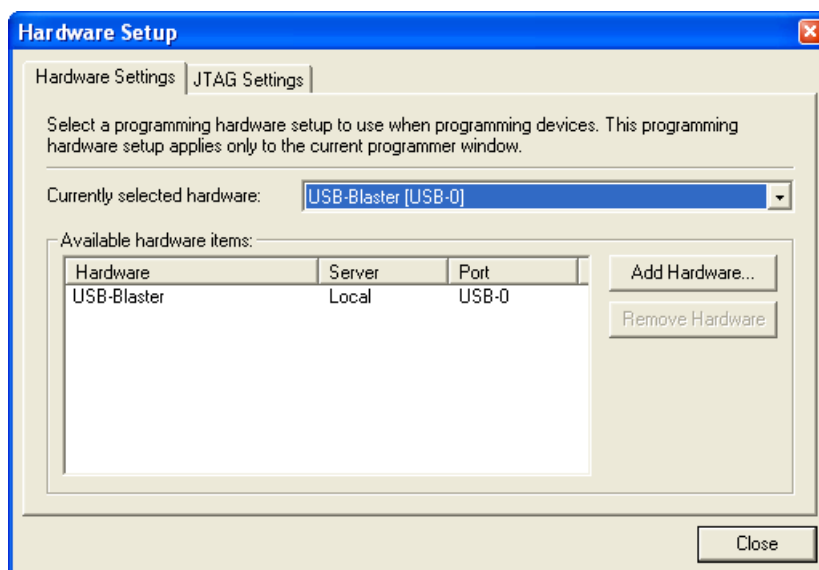


Abbildung 19 Hardware Setup Dialog – USB Blaster ausgewählt

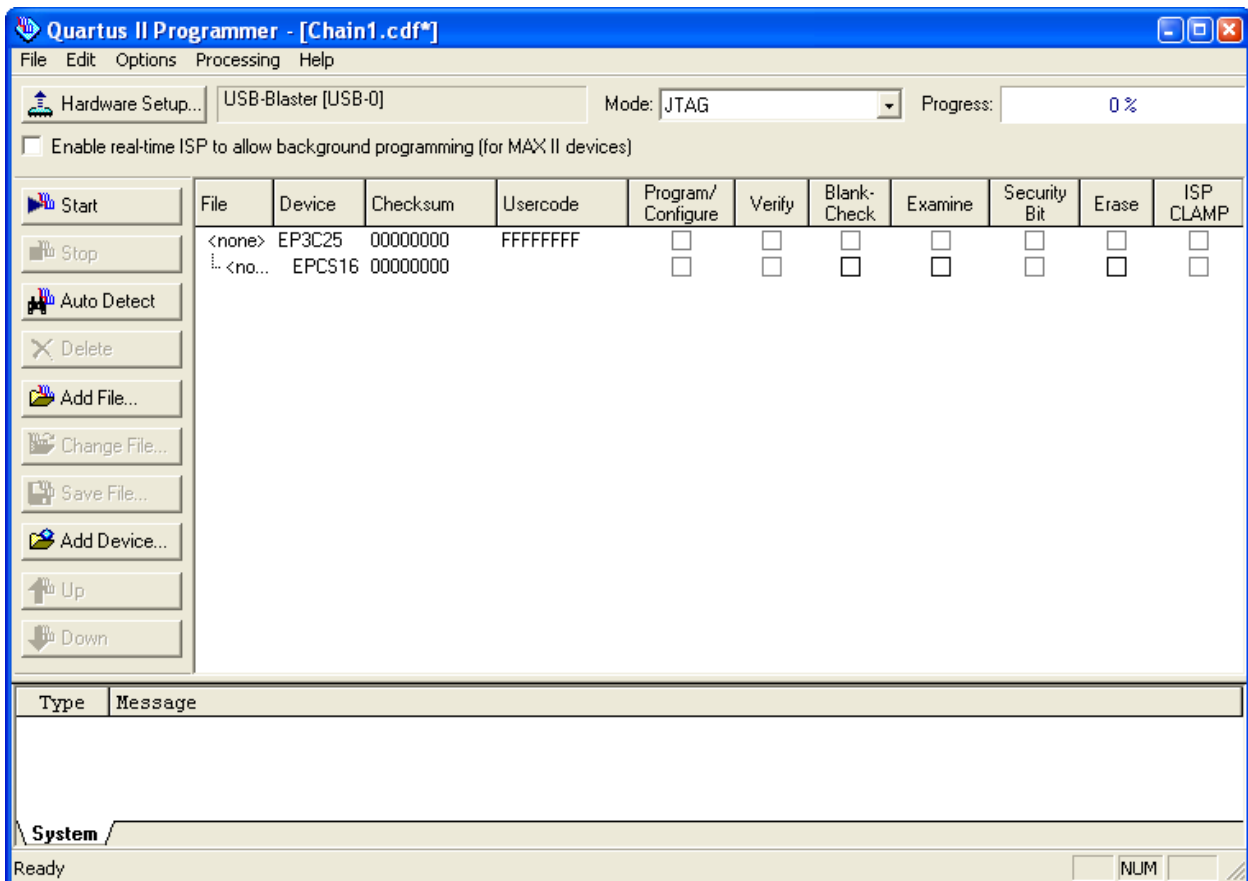


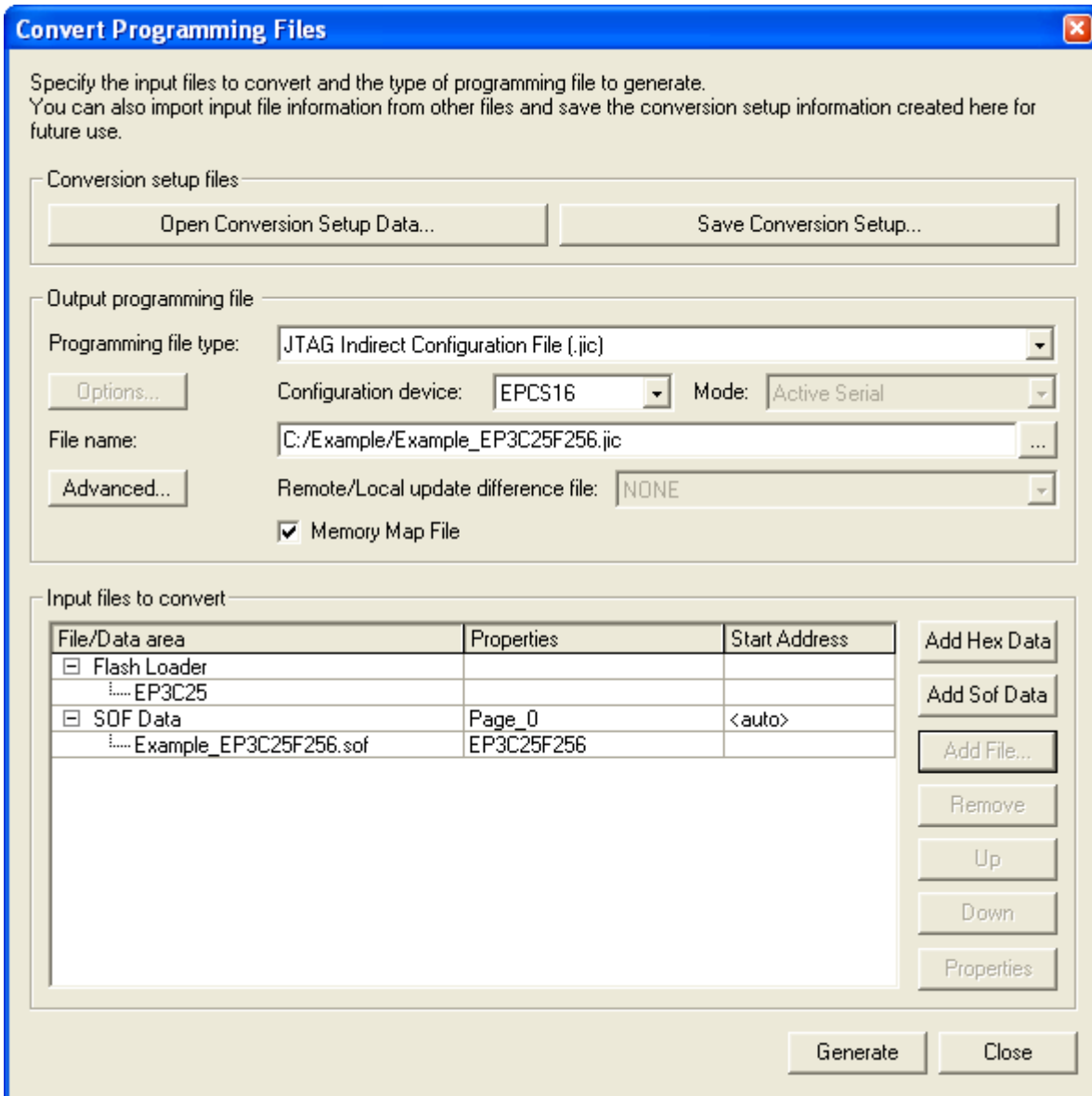
Abbildung 20 Quartus II Programmer Dialog nach erfolgreicher FPGA-Suche

## 3.2 Konvertieren der SOF-Datei in das JIC-Format

Das an das FPGA angeschlossene EEPROM ist in diesem Fall ausschließlich über den Modus „JTAG indirect“ zu programmieren. Die von Altera Quartus II™ ausgegebenen Binärdateien müssen hierfür erst in das JIC-Format konvertiert werden. Dazu ist im Menü „File“ der Menüpunkt „Convert Programming File...“ aufzurufen. Im sich anschließend öffnenden Dialog müssen FPGA-Typ, EEPROM und Quelldatei ebenso wie das Zielformat angegeben werden, um die Konvertierung durchführen zu können (Abbildung 21).

Folgende Schritte sind hierzu auszuführen:

1. „Programming file type“ → JTAG Indirect Configuration File (.jic) auswählen
2. „Configuration device:“ EPCS16 (Im Falle der Briefmarke FB1122)
3. „File Name:“ Der Dateiname und Pfad zu der JIC-Datei ist hier anzugeben
4. „Flash Loader“ auswählen und auf „Add Device „ klicken. Dort ist der entsprechende FPGA-Typ auszuwählen. In diesem Fall handelt es sich um ein Cyclon III EP3C25.
5. „SOF Data“ auswählen und durch Anklicken von „Add File“ Quelldatei auswählen.
6. „Generate“ anklicken und gegebenenfalls sich öffnende Dialoge bestätigen



**Abbildung 21 Dialog Convert Programming Files**

### 3.3 Auswählen der Programmierdatei

Nach erfolgter Konvertierung der SOF-Datei in eine JIC-Datei kann die Programmierung des EEPROMs erfolgen. Hierzu ist, wie in Abbildung 22 dargestellt, das EEPROM auszuwählen (EPCS16). Anschließend ist die Programmierdatei durch Anklicken der Schaltfläche „Change File“ auszuwählen.

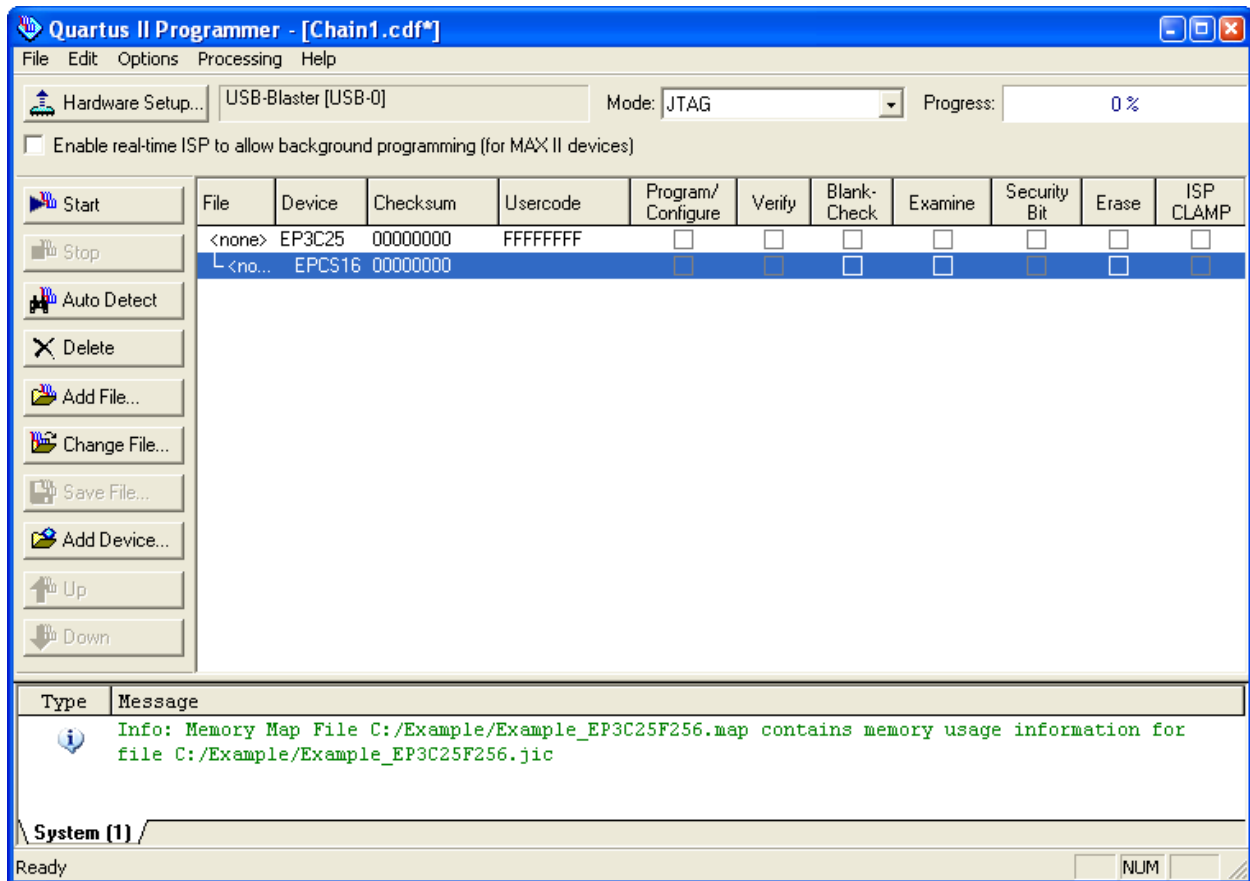


Abbildung 22 Auswahl der Programmierdatei

Als letzter Schritt vor der Konfiguration sind zuvor noch Häkchen bei „Program/Configure“ und bei „Verify“ zu setzen, um einerseits das EEPROM zu konfigurieren und den EEPROM-Inhalt nach der Konfiguration zu überprüfen.

### 3.4 Programmieren des FPGAs/EEPROMs

Der Programmiervorgang wird gestartet, wenn auf die Schaltfläche „Start“ geklickt wird. In der Ausgabe-konsole des Programms wird der Programmiervorgang protokolliert. Bei einer fehlerhaften Konfiguration wird eine entsprechende Meldung an dieser Stelle ausgegeben.

## 4 Anhang

### 4.1 Support und Service

Beckhoff und seine weltweiten Partnerfirmen bieten einen umfassenden Support und Service, der eine schnelle und kompetente Unterstützung bei allen Fragen zu Beckhoff Produkten und Systemlösungen zur Verfügung stellt.

#### **Beckhoff Support**

Der Support bietet Ihnen einen umfangreichen technischen Support, der Sie nicht nur bei dem Einsatz einzelner Beckhoff Produkte, sondern auch bei weiteren umfassenden Dienstleistungen unterstützt:

- weltweiter Support
- Planung, Programmierung und Inbetriebnahme komplexer Automatisierungssysteme
- umfangreiches Schulungsprogramm für Beckhoff Systemkomponenten

Hotline: + 49 (0) 5246/963-157  
Fax: + 49 (0) 5246/963-9157  
E-Mail: support@beckhoff.com

#### **Beckhoff Service**

Das Beckhoff Service Center unterstützt Sie rund um den After-Sales-Service:

- Vor-Ort-Service
- Reparaturservice
- Ersatzteilservice
- Hotline-Service

Hotline: + 49 (0) 5246/963-460  
Fax: + 49 (0) 5246/963-479  
E-Mail: service@beckhoff.com

### 4.2 Beckhoff Firmenzentrale

Beckhoff Automation GmbH  
Eiserstr. 5  
33415 Verl  
Germany

Telefon: + 49 (0) 5246/963-0  
Fax: + 49 (0) 5246/963-198  
E-Mail: info@beckhoff.de  
Web: www.beckhoff.de

Weitere Support- und Service-Adressen entnehmen Sie bitte unseren Internetseiten unter <http://www.beckhoff.de>. Dort finden Sie auch weitere Dokumentationen zu Beckhoff Komponenten.